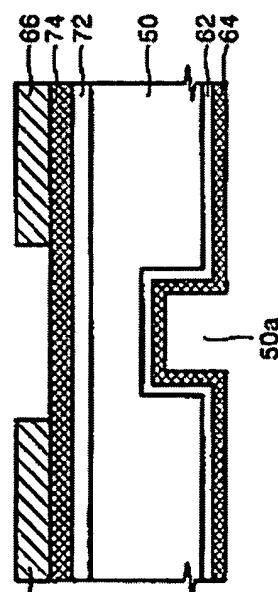


METHOD OF THROUGH-ETCHING SUBSTRATE

Patent number: KR2002041363
Publication date: 2002-06-01
Inventor: JU YEONG CHANG [KR]; KIM SE JUN [KR]; MIN GYEONG DEOK [KR]; MIN HONG SEOOK [KR]; PARK GEON JUNG [KR]; SONG SEONG JIN [KR]
Applicant: SEOUL NAT UNIVERSITY [KR]
Classification:
 - international: H01L21/3065
 - european: H01L21/308B; H01L21/3213C2
Application number: KR20020018215 20020403
Priority number(s): KR20020018215 20020403;
 US20020084622 20020228

Also published as:
 US6821901 (B2)
 US2003162402 (A1)
 JP2003251598 (A)

Abstract not available for KR2002041363
 Abstract of corresponding document: **US2003162402**
 A method of through-etching a substrate that is simplified and by which the flow of ions can be kept to be regular during a plasma dry etching process, is provided. According to this method, a buffer layer is formed on a first plane of the substrate, a metal layer is formed on the buffer layer, an etching mask pattern is formed on a second plane opposite to the first plane, and the substrate is through-etched with the etching mask pattern as an etching mask. Preferably, the substrate is formed of a single-crystal silicon, the buffer layer is formed of silicon dioxide, and the metal layer is formed of aluminum.



Data supplied from the esp@cenet database - Worldwide

도 12

색인어

MEMS, 관통 식각, 이산화실리콘층, 알루미늄, 고체공정, DRIE

명세서

도면의 간단한 설명

도 1 내지 도 5는 종래의 기판 관통 식각방법을 설명하기 위한 공정단면도들이다.

도 6 내지 도 13은 본 발명의 일 실시예에 따른 기판 관통 식각방법을 설명하기 위한 공정단면도들이다.

도 14 내지 도 17은 본 발명의 다른 실시예에 따른 기판 관통 식각방법을 설명하기 위한 공정단면도들이다.

※ 도면의 주요부분에 대한 부호의 설명

10, 50, 90 ; 기판 12, 14, 16, 56, 66, 96 ; 포토레지스트층

52, 62, 72, 92 ; 버퍼층 54, 64, 74, 94 ; 금속층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기판 관통 식각방법에 관한 것으로서, 보다 상세하게는 3차원 MEMS(Micro Electro Mechanical System) 제작에 있어 중요한 기술인 기판 관통 식각방법에 관한 것이다.

MEMS는 일반적으로 그 크기가 수 마이크로미터에서 수 밀리미터 범위에 해당하는 극소형 시스템 또는 극소형 부품들로 이루어진 시스템을 지칭하는 것으로서, 반도체 집적회로의 제작에 사용되는 배치형(batch type) 공정 기술을 사용하여 제작되며, 전기적 부품들 및 기계적 부품들이 결합된 집적화된 마이크로 소자 또는 시스템을 말한다.

현재 MEMS는 소형이며, 이동성이 높고, 효율적인 열역학적 에너지 시스템이라는 점에서 IT 시장이 점점 더 확대되어 가고 있는 추세에 있으며, 특히 인장한 형태의 리세스영역 및 편봉영역이 형성된 실리콘기판은 나중으로 복수개를 적용하여 형성된 3차원 MEMS는 그 구조 및 기능의 중요성 이외에도 그 제작 기술도 매우 중요한 요소가 되고 있다. 특히, 실리콘기판을 관통 식각하는 기술에 대하여 다양한 연구가 진행되어오고 있다.

특히, MEMS에서의 기판 관통 식각에 대하여는 미국 MIT(Massachusetts Institute of Technology)의 가스 터빈 웹에서는 1995년 이래로 기판 관통 식각기술에 대한 많은 연구 결과를 발표하여 왔다. 잠지 센서(Sensors)의 2001년 4월호에는 MIT의 Ravi Khanna씨 등이 발표한 논문 "Microfabrication Protocols for Deep Reactive Ion Etching and Wafer-Level Bonding"에는 MIT의 기판 관통 식각기술에 관한 최근의 동향을 상세하게 제시하고 있다. 또한, MIT의 Luc. G. Frechette씨 등이 2000년 6월 Solid-State Sensor and Actuator Workshop에서 발표한 논문 "Demonstration of a Microfabricated High-Speed Turbin Supported on Gas Bearings"에서는 기판 관통 식각기술의 파워 MEMS로의 응용을 보여주고 있다. 또한, Amit Mehra씨 등이 Journal of Microelectromechanical Systems(Vol.9, NO.4, December 2000)에 발표한 논문 "A Six-Wafer Combustion System for a Silicon Micro Gas Turbine Engine"에는 마이크로 가스 터빈에의 적용에 대하여 보여주고 있다.

도 1 내지 도 5는 종래의 MEMS 기술에서 사용하는 기판 관통 식각방법, 전술한 잡지 센서(Sensors)의 2001년 4월 호에는 MIT의 Ravi Khanna씨 등이 발표한 논문 "Microfabrication Protocols for Deep Reactive Ion Etching and Wafer - Level Bonding"에 제시된 것을 간략화하여 도시한 도면이다.

도 1을 참조하면, 식각되어야 할 웨이퍼 기판(10) 상에 포토레지스트층(12)을 코팅한 후 반도체소자의 제조공정에서 일반적으로 사용하는 노광공정 및 현상공정에 의해 기판의 일정 부분을 개방하는 포토레지스트 패턴을 형성한다.

도 2를 참조하면, 상기 포토레지스트 패턴을 식각마스크로 하여 상기 기판(10)의 표면 일부를 전식 식각함으로써 기판(10)내에 트랜치 형상의 리세스영역(10a)을 형성하고, 이어서 포토레지스트층(12)을 스트립하여 제거한다.

도 3은 참조하면, 계속하여 상기 리세스영역(10a)을 관통시키기 위하여 상기 기판(10)의 리세스영역(10a)이 형성된 표면과 핸들링(handling) 웨이퍼(20)를 포토레지스트층(14)을 개재하여 접착시킨다. 상기 핸들링 웨이퍼(20)는 실리콘 또는 퀼츠로 된 강체로 구성된다.

상기와 같이 기판(10) 관통을 위하여 식각공정을 수행할 때 핸들링 웨이퍼(20)를 사용하는 이유는, 식각챔버내에 식각공정을 수행한 웨이퍼 기판을 식각챔버의 중앙하단부에 설치된 스테이지 상에 로딩한 후 플라즈마 전식 식각공정을 수행하게 되며, 식각공정시 웨이퍼 기판에 발생되는 열을 냉각시켜주기 위해서 상기 스테이지 내부를 통하여 식각 웨이퍼의 바닥면에 일정한 온도로 냉각된 헬륨가스를 접촉시켜주게 되며, 만약 이때 식각 웨이퍼의 일부가 관통되어 흙이 형성되면, 식각공정 동안에 헬륨가스가 식각챔버내로 누설되어 식각챔버를 오염시키고 공정조건을 변화시키게 되기 때문에, 비록 기판을 관통하는 식각공정이라 하더라도 핸들링 웨이퍼(20)에 의해 헬륨가스가 식각챔버내로 누설되는 것을 방지할 수 있다.

기판(10)과 핸들링 웨이퍼(20)을 접착시킨 후 계속하여, 상기 리세스영역(10a)이 형성된 면과 반대되는 기판(10)의 표면 상에 포토레지스트층(16)을 코팅한 후, 전술한 바와 같이 노광 및 현상공정을 수행하여 상기 리세스영역(10a)을 포함하는 부분을 개방하는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴이 형성된 기판(10)과 핸들링 웨이퍼(20)의 결합체를 식각챔버내의 스테이지상에 로딩시킨 후, 상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 기판(10)을 상기 리세스영역(10a)까지 플라즈마를 이용하여 전식 식각하여 기판(10)을 관통시킨다.

계속하여 도 5를 참조하면, 기판 관통 식각이 종료된 후, 식각챔버로부터 이를 결합체를 언로딩한 후 핸들링 웨이퍼(20)를 탈착시키고, 포토레지스트층(14, 16)을 스트립하여 제거한다.

그러나, 상기와 같은 종래의 MIT의 핸들링 웨이퍼를 사용하여 기판을 관통시키는 기술은 다음과 같은 문제점들이 있다.

첫째, 레지스트 버닝(Resist burning) 현상이 발생한다. 즉, 식각 웨이퍼 기판(10)과 핸들링 웨이퍼(20) 사이의 포토레지스트층(14)이 플라즈마 공정에서 기포를 발생하며 부풀어오르는 현상을 말한다.

둘째, 웨이퍼 브레이커지(wafer breakage)가 발생한다. 즉, 도 4의 "A" 부분에서 보여지는 바와 같이, 식각된 웨이퍼 기판(10)에 대한 관통 식각의 박마사에 이르러 핸들링 웨이퍼(20)의 표면과 충돌된 플라즈마 이온 플렉스들이 다시 뛰어나오면서 식각 기판(10)의 층면과 충돌하여 기판(10)의 관통 흔의 측벽이 파괴되는 것을 말한다.

셋째, 스트럭처 에로션(structure erosion)이 발생한다. 즉, 실리콘이나 퀼츠로 이루어진 핸들링 웨이퍼(20)는 열전도도가 낮기 때문에 헬륨가스에 의한 식각 웨이퍼 기판(10)의 냉각효과가 충분하지 않게 되어, 따라서 식각 웨이퍼 기판(10)의 특정 부위가 부식되는 듯이 급속히 식각되어지는 것을 말한다.

넷째, 핸들링 웨이퍼(20)를 탈착하는 데 장시간이 소요된다. 핸들링 웨이퍼(20)를 탈착하기 위해서는 포토레지스트(14) 제거용액인 아세톤을 사용하더라도 기판(10)과 핸들링 웨이퍼(20)간의 밀착성으로 인하여 수 시간 이상의 처리 시간이 소요된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 문제점들을 해결하기 위한 것으로서, 헨들링 웨이퍼의 접착이라는 복잡한 과정이 없이 반도체 소자의 제조공정에서 일반적으로 사용되는 기술을 접목시켜 공정을 단순화시킨 기판 관통 식각방법을 제공하는 데 있다.

본 발명의 다른 목적은, 열전도도가 낮은 헨들링 웨이퍼 대신에 열전도도가 높은 재료를 사용함으로써, 식각공정 동안에 냉각가스의 누출을 방지하는 동시에 식각되는 웨이퍼 기판을 충분히 냉각시킬 수 있는 기판 관통 식각방법을 제공하는 데 있다.

본 발명의 또다른 목적은, 전기전도도가 낮은 헨들링 웨이퍼 대신에 전기전도도가 높은 재료를 사용하여 플라즈마 건식 식각시 이용의 흐름을 일정하게 유지되도록 할 수 있기 때문에 식각 웨이퍼 기판의 주변이 파괴되는 것을 방지할 수 있는 기판 관통 식각방법을 제공하는 데 있다.

본 발명의 또다른 목적은, 기판 관통 식각공정이 종료된 후 기판을 제외한 불필요한 층들을 단시간 내에 제거하여 공정 시간을 단축시킬 수 있는 기판 관통 식각방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적들을 달성하기 위한 본 발명의 인 형태에 따른 기판 관통 식각방법은, 기판의 제1 면 상에 버퍼층을 형성하는 단계; 상기 버퍼층 상에 금속층을 형성하는 단계; 상기 제1 면과 반대되는 상기 기판의 제2 면 상에 식각마스크 패턴을 형성하는 단계 및 상기 식각마스크 패턴을 식각마스크로 하여 상기 기판을 관통 식각하는 단계를 포함한다.

상기 기판의 제1 면 상에 버퍼층을 형성하는 단계 이전에, 상기 제1 면에 리세스영역을 형성하는 단계를 더 포함할 수 있으며, 상기 리세스영역을 형성하는 단계는 반도체 소자의 제조공정에서 공시된 사진식각기술을 사용하여 수행할 수 있다.

한편, 상기 기판을 관통 식각하는 단계 이후에, 상기 식각마스크 패턴을 제거하는 단계; 상기 금속층을 제거하는 단계 및 상기 버퍼층을 제거하는 단계를 더 포함할 수 있다.

상기 기판은 실리콘 단결정 기판이며, 상기 버퍼층은 바람직하게는 이산화실리콘층이며, 상기 금속층은 바람직하게는 알루미늄층을 사용할 수 있다.

한편, 상기 목적들을 달성하기 위한 본 발명의 다른 형태에 따른 기판 관통 식각방법은, 기판의 제1 면에 소정 깊이의 리세스영역을 형성하는 단계; 상기 리세스영역이 형성된 상기 기판의 제1 면 상에 제1 버퍼층을 형성하는 단계; 상기 제1 버퍼층 상에 제1 금속층을 형성하는 단계; 상기 제1 면과 반대되는 상기 기판의 제2 면 상에 상기 제1 면에 형성된 상기 리세스영역에 대응하는 영역의 적이도 일부를 개방하는 제1 식각마스크 패턴을 형성하는 단계 및 상기 제1 식각마스크 패턴을 식각마스크로 하여 상기 기판을 관통 식각하는 단계를 포함한다.

상기 기판의 제1 면에 리세스영역을 형성하는 단계는, 상기 기판의 제1 면 상에 제2 식각마스크 패턴을 형성하는 단계; 상기 제2 식각마스크 패턴은 식각마스크로 하여 상기 기판의 일부를 식각하는 단계 및 상기 제2 식각마스크 패턴을 제거하는 단계를 포함하며, 상기 제2 식각마스크 패턴은 포토레지스트 패턴이거나 또는 제2 버퍼층 및 제2 금속층이 적층된 구조로 이루어진 것일 수 있다.

한편, 상기 제1 식각마스크 패턴도 포토레지스트 패턴이거나 또는 제3 버퍼층 및 제3 금속층이 적층된 구조로 이루어진 것일 수 있다.

상기 기판을 관통 식각하는 단계 이후에는 상기 관통 식각 단계에 의해 노출되는 상기 제1 버퍼층을 습식 제거하는 단계를 더 포함할 수 있다.

또한, 일 실시예로서 상기 기판을 광통 식각하는 단계 이후에, 상기 포토레지스트 패턴으로 된 제1 식각마스크 패턴을 제거하는 단계; 상기 제1 금속층을 제거하는 단계 및 상기 제1 비퍼층을 제거하는 단계를 수행할 수도 있으며, 다른 실시예에서는 상기 제1 식각마스크 패턴의 제3 금속층 및 상기 제1 금속층을 제거하는 단계 및 상기 제1 식각마스크 패턴의 제3 비퍼층 및 상기 제1 비퍼층을 제거하는 단계를 수행할 수도 있다.

상기 기판을 광통 식각하는 단계는 DRIE(Deep Reaction Ion Etching)법에 의해 수행하는 것이 바람직하며, 상기 기판은 광통 식각하는 단계에서 관통되는 부분은 상기 리세스영역내에 포함되도록 한다.

본 발명에 의하면, 엔들링 웨이퍼 대신에 열전도도와 전기전도도 및 전성이 우수한 금속층을 사용하기 때문에 식각공정 동안에 기판의 냉각을 효율적으로 수행할 수 있으나, 이온의 흐름을 일정하게 유지할 수 있기 때문에 플라즈마 식각공정이 원활히 수행될 수 있으며, 냉각가스에 의한 압력을 충분히 완충시킬 수 있으며, 반도체소자의 제조공정에서 상용화된 기술을 이용할 수 있기 때문에 공정이 단순화되고 공정시간을 단축시킬 수 있다.

이하, 본 발명의 바람직한 실시예들에 대하여 첨부한 도면들을 참조하여 상세히 설명한다.

다음에 설명되는 실시예들은 여러가지 다른 형태로 변형될 수 있으나, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 증이나 영역들의 두께는 명세시의 명확성을 위해 과장되어진 것으로, 도면상의 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 증이 다른 증 또는 기판의 "상"에 있다고 기재된 경우, 상기 어떤 증이 상기 다른 증 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 증이 개재되어진 수도 있다.

< 제1 실시예 >

도 6 내지 도 13은 본 발명의 제1 실시예에 따른 기판 광통 식각방법을 설명하기 위한 공정단면도들이다. 제1 실시예는 기판을 두 단계에 의해 식각함으로써 관통시키는 기술에 관한 것이다.

도 6을 참조하면, 기판(50) 상에 비퍼층(52) 및 금속층(54)이 형성되어 있으나, 금속층(54) 상에 식각마스크 패턴(56)이 형성된 것을 나타낸다. 보다 구체적으로 설명하면, 상기 기판(50)은 예를 들어, 실리콘 단결정으로 이루어진 반도체 웨이퍼를 사용할 수 있으며, 비퍼층(52)은 형성하기 전에 $H_2SO_4 : H_2O_2 = 4 : 1$ 로 된 SPM(Sulfuric Peroxide Mixture) 용액으로 약 120 °C에서 충분히 세정을 하고, 스판법에 의해 건조시킨다. 본 실시예에서 상기 기판(50)은 450 μm의 두께를 갖는 것을 사용하였다.

이어서, 상기 세정된 기판(50) 상에 비퍼층(52), 예를 들어 이산화실리콘(SiO_2)층을 플라즈마 강화 화학기상 증착법(PECVD)에 의해 약 1000 Å 정도의 두께가 되도록 형성한다. 상기 이산화실리콘층은 스텝카버리지가 우수하기 때문에 이산화실리콘층을 형성하기 전에 기판(50)의 표면이 일정한 형태로 폐면화되어 있더라도 그 측벽에 충분히 증착되어 속면 보호가 가능하며, 복수개의 웨이퍼를 다중으로 적재하여 본딩하는 3차원 MEMS 구조를 제작할 시 웨이퍼 본딩을 위한 표면 보호막으로서도 우수한 특성을 갖는다. 한편, 본 발명의 비퍼층(52)으로서는 상기 이산화실리콘층에 형성되는 것은 아니며, 본 발명의 요지에 부합되는 한 다양한 물질로 구성할 수 있다.

이어서, 상기 비퍼층(52) 상에 금속층(54), 예를 들어, 알루미늄층을 물리적 기상증착법(PVD)에 의해 약 3000 Å 정도의 두께로 형성한다. 상기 알루미늄층은 상기 깨지기 쉬운(brITTLE) 특성을 갖는 이산화실리콘층 상에 증착됨으로써 이산화실리콘층의 단점을 극복할 수 있으나, 동시에 우수한 열전도도 및 전기전도도를 갖는다. 그러나, 상기 금속층(54)은 알루미늄층에 한정되는 것은 아니며, 본 발명의 개념에 부합되는 한 모든 금속물질을 사용할 수 있다.

이어서, 상기 금속층(54) 상에 식각마스크 패턴(56), 예를 들어, 포토레지스트 패턴을 노광 및 현상공정에 의해 형성한다. 보다 구체적으로 살펴보면, 상기 금속층(54) 상에 포토레지스트를 코팅하기 전에 포토레지스트층의 접착제을 향

상시키기 위해 HMDS(HexaMethylDiSilizane)을 코팅하며, 그 후 스픬 코터를 사용하여 모델명이 AZ1512인 포토레지스트를 약 $1.2 \mu\text{m}$ 정도의 두께로 형성하고, 약 95°C 로 유지되는 오븐에서 약 30분 동안 브리베이크(Pre-bake)를 수행한다.

이어서, 미리 설계된 패턴을 갖는 마스크를 사용하여 노광공정을 실시한다. 노광공정은 퀼팅마스크인 경우 12 mW 에서 12 조간 수행하며, 크롬 마스크인 경우 12 mW 에서 8.5 조간 수행한다. 이어서, 현상액 : 조순수(D.I water) = 6 : 1인 현상액을 사용하여 70조 동안 노광된 부분을 현상하여 제거하고, 6 내지 7분 동안 조순수로 린스공정을 수행한 후, 10분 정도로 스픬 진조시킨 후, 110°C 정도로 유지되는 오븐에서 약 30분 정도 포스트베이크(Post-bake) 시켜 식각마스크 패턴(56)을 형성한다.

도 7을 참조하면, 상기 식각마스크 패턴(56)을 식각마스크로 하여 상기 금속층(54), 예를 들어 알루미늄층을 습식 식각하여 제거한다. 알루미늄층을 위한 식각용액은 $\text{H}_3\text{PO}_4 : \text{HNO}_3 : \text{CH}_3\text{COOH} : \text{D.I water} = 16 : 1 : 1 : 2$ 을 사용하였으며, 약 40°C 에서 3 내지 4분 동안 수행하였다. 이어서, IIF 용액에 담그(dipping) 시켜 노출된 버퍼층(52)을 습식 식각하여 제거한다. 이어서, 잔류하는 포토레지스트층을 약 5분간 스트립하여 제거한 후, 약 5분간 린스한 후, 진조시킨다. 따라서, 버퍼층(52) 및 금속층(54)으로 이루어진 기판(50) 식각을 위한 식각마스크 패턴이 완성된다.

도 8을 참조하면, 도 7에 도시된 상기 버퍼층(52) 및 금속층(54)으로 이루어진 식각마스크 패턴을 식각마스크로 사용하여 실리콘 기판(50)을 플라즈마 전식 식각한다. 식각방법은 보쉬공정(Bosch Process)이라고도 불리는 DRIE(Deep Reaction Ion Etching)법을 사용하여 수행하였으며, 보쉬 공정에 대해서는 A.A. Lyon씨 등에 의해 Journal of The Electrochemical Society(146(1), 339 - 349, 1999)에 발표된 논문 "Caracterization of a Time Multiplexed Inductively Coupled Plasma Etcher"에 충분히 개시되어 있으며, 그 상세한 설명은 생략한다. 본 실시예에서는 폴리미 임프시간/ 바닥폴리미 제거시간/실리콘 식각시간을 5/3/6(초)로 하는 공정조건하에서 수행하였으며, 식각되어 제거된 제1 리세스영역(50a)의 깊이가 약 $250 \mu\text{m}$ 정도가 되도록 실시하였다.

이어서, 전술한 $\text{H}_3\text{PO}_4 : \text{HNO}_3 : \text{CH}_3\text{COOH} : \text{D.I water} = 16 : 1 : 1 : 2$ 식각액을 사용하여 알루미늄 금속층(54)을 60 내지 90분 동안 습식 식각하여 제거하며, IIF 용액 속에서 이산화실리콘 버퍼층(52)을 제거한다. 따라서, 도 8에서 노출된 바와 같이 일 단계의 식각공정에 의해 기판의 한 표면에 제1 리세스영역(50a)이 형성된 기판(50)이 형성된다.

도 9를 참조하면, 전술한 바와 같이 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$ 로 된 SPM 용액으로 제1 리세스영역(50a)이 형성된 기판(50)을 충분히 세정을 하고, 진조시킨다. 이어서, 상기 제1 리세스영역(50a)이 형성된 표면 상에 미퍼층(62), 예를 들어 TEOS 산화층을 플라즈마 강화 화학기상 증착법(PECVD)에 의해 약 5000 \AA 정도의 두께가 되도록 형성한다. 이어서, 상기 미퍼층(62) 상에 금속층(64), 예를 들어, 알루미늄층을 물리적 기상증착법(PVD)에 의해 약 3000 \AA 정도의 두께로 형성한다.

도 10을 참조하면, 상기 제1 리세스영역(50a)이 형성된 표면의 반대면 상에 버퍼층(72), 예를 들어 TEOS 산화층을 플라즈마 강화 화학기상 증착법(PECVD)에 의해 약 1000 \AA 정도의 두께가 되도록 형성한다. 이어서, 상기 버퍼층(72) 상에 금속층(74), 예를 들어, 알루미늄층을 물리적 기상증착법(PVD)에 의해 약 3000 \AA 정도의 두께로 형성한다.

이어서, 도 6에서 설명한 바와 같이 상기 금속층(74) 상에 식각마스크 패턴(66), 예를 들어, 포토레지스트 패턴을 노광 및 현상공정에 의해 형성한다. 그 상세한 설명은 도 6을 참조하여 설명하였기 때문에 여기서는 간략히 설명한다. 즉, 상기 금속층(74) 상에 포토레지스트를 코팅하기 전에 HMDS(HexaMethylDiSilizane)을 코팅하며, 그 후 스픬 코터를 사용하여 포토레지스트를 형성하고, 오븐에서 브리베이크(Pre-bake) 공정을 수행한다. 이어서, 미리 설계된 패턴을 갖는 마스크를 사용하여 노광공정을 실시한다. 이어서, 현상액을 사용하여 노광된 부분을 현상하여 제거하고, 조순수로 린스공정을 수행한 후, 스픬 진조시킨 후, 오븐에서 포스트베이크(Post-bake) 시켜 식각마스크 패턴(66)을 형성

한다.

도 11을 참조하면, 상기 식각마스크 패턴(66)을 식각마스크로 하여 상기 금속층(74), 예를 들어 알루미늄층을 습식 식각하여 제거한다. 알루미늄층을 위한 식각용액은 전술한 바와 같이 $H_3PO_4 : HNO_3 : CH_3COOH : D.I water = 16 : 1 : 1 : 2$ 을 사용하였다. 이어서, IIF 용액에 담그(dipping)시켜 노출된 버퍼층(72)을 습식 식각하여 제거한다. 이어서, 잔존하는 포토레지스트층을 스트립하여 제거한 후, 리스한 후 진조시킨다. 따라서, 버퍼층(72) 및 금속층(74)으로 이루어진 기판(50) 식각을 위한 식각마스크 패턴이 완성된다.

도 12를 참조하면, 상기 버퍼층(72) 및 금속층(74)으로 이루어진 식각마스크 패턴을 식각마스크로 사용하여 기판(50)을 플라즈마 전식 식각한다. 식각방법은 전술한 바와 같이, 보쉬공정(Bosch Process)이라고도 불리는 DRIE(Deep Reaction Ion Etching)법을 사용하여 수행하였으며, 본 실시예에서는 폴리미 유침시간/마atak처리미 세기시간/신리온 식각시간을 5/3/6(초)로 하는 공정조건에서 수행하였으며, 이 단계의 식각수행의 결과 제2 리세스영역(50b)이 형성되며, 제2 리세스영역(50b)의 깊이가 약 200 μm 정도가 되어 기판(50)이 판봉되어진다.

이어서, 제2 리세스영역(50b)의 바닥에는 버퍼층(62)의 일부가 노출되며, 낮은 선택비로 식각하여 제거하여 그 하부의 금속층(64)의 표면이 노출되게 한다.

이어서, 전술한 $H_3PO_4 : HNO_3 : CH_3COOH : D.I water = 16 : 1 : 1 : 2$ 식각액을 사용하여 알루미늄 금속층(64, 74)을 습식 제거하여, IIF 용액 속에서 잔존하는 버퍼층(62, 72)을 제거한다.

따라서, 도 13에서 도시된 바와 같이 두 단계의 식각공정에 의해 기판의 제1 리세스영역(50a) 및 제2 리세스영역(50b)이 서로 연결되어 판봉된 기판(50)이 형성된다.

< 제2 실시예 >

도 14 내지 도 17은 본 발명의 제2 실시예에 따른 기판 판봉 식각방법을 설명하기 위한 공정단면도들이다. 제2 실시예는 기판을 일 단계에 의해 식각함으로써 판봉시키는 기술에 관한 것이다. 제1 실시예에서와 동일한 것은 그에 대한 상세한 설명을 생략한다.

도 14를 참조하면, 기판(90) 상에 버퍼층(92) 및 금속층(94)을 형성한다. 상기 기판(90)은 예를 들어, 실리콘 단결정으로 이루어진 반도체 웨이퍼를 사용할 수 있으며, 버퍼층(92)을 형성하기 전에 $H_2SO_4 : H_2O_2 = 4 : 1$ 로 된 SPM 용액으로 충분히 세정을 하고, 진조시킨다. 이어서, 세정된 기판(90) 상에 버퍼층(92), 예를 들어 이산화실리콘(SiO_2)층을 플라즈마 강화 화학기상 증착법(PI(CVD))에 의해 약 1000 Å 정도의 두께가 되도록 형성한다. 이어서, 상기 버퍼층(92) 상에 금속층(94), 예를 들어, 알루미늄층을 물리적 기상증착법(PVD)에 의해 약 3000 Å 정도의 두께로 형성한다.

도 15를 참조하면, 상기 버퍼층(92) 및 금속층(94)이 형성된 반대 표면 상에 식각마스크 패턴(96), 예를 들어, 전술한 바와 같이 포토레지스트 패턴을 노광 및 현상공정에 의해 형성한다.

도 16을 참조하면, 상기 식각마스크 패턴(96)을 식각마스크로 하여 상기 기판(90)을 상기 버퍼층(92)이 노출될 때까지 식각하여 판통홀(90a)을 형성시킨다. 식각방법은 전술한 DRIE법을 사용하여 수행하였다. 따라서, 일 단계의 식각공정에 의해 기판을 판봉시킬 수 있다.

이어서, 판통홀(90a)의 바닥에 노출된 버퍼층(92)의 일부를 낮은 선택비로 식각하여 제거하여 그 하부의 금속층(94)의 표면이 노출되게 한다. 이어서, 상기 포토레지스트 식각마스크 패턴(96)을 스트립하여 제거한 후, 전술한 $H_3PO_4 : HNO_3 : CH_3COOH : D.I water = 16 : 1 : 1 : 2$ 식각액을 사용하여 알루미늄 금속층(94)을 습식 제거하여, IIF 용액 속에서 잔존하는 버퍼층(92)을 제거한다.

따라서, 도 17에서 도시된 바와 같이 인 단계의 식각공정에 의해 기판(90)에 편통홀(90a)을 갖는 기판(90)이 형성된다.

이상에서 설명한 제1 실시예 및 제2 실시예는 3차원 MEMS를 제작하는 데 있어서 각 개별 웨이퍼에 대한 기판 관통 식각 기술에 관한 것이지만, 본 발명은 상기 실시예에 의해 한정되지 않으며, 본 발명의 요지가 미치는 범위내에서 당업자에 의해 다양하게 변형 실시될 수 있음을 물론이다.

구체적으로는, 제1 실시예에서, 도 8에 도시된 제1 리세스영역(50a)을 형성하기 위해서 도 7에 도시된 버퍼층(52) 및 금속층(54)의 적층구조로 된 식각마스크 패턴을 사용하였지만, 이에 한정되는 것은 아니고 실리콘 기판(50)과 식각선 택비가 있는 한 다양한 형태의 식각마스크 패턴, 예를 들어 단일의 포토레지스트 패턴 또는 산화층/질화층이 적층되어 형성된 식각마스크 패턴을 사용할 수 있다.

또한, 제2 실시예에서는 편통홀(90a)을 형성하기 위한 식각마스크 패턴(96)을 단일의 포토레지스트 패턴을 사용하였지만, 전술한 도 7에 도시된 버퍼층(52) 및 금속층(54)의 적층구조로 된 식각마스크 패턴을 사용하거나 산화층/질화층이 적층되어 형성된 식각마스크 패턴을 사용할 수 있다.

또한, 본 실시예들에서는 버퍼층을 이산화silicon층, 금속층을 알루미늄층을 사용하였지만, 이에 한정되지 않고 다양한 금속층 및 그 금속층과 접촉부성이 우수한 다양한 물질층을 조합하여 사용할 수 있음을 물론이다.

한편, 제1 실시예 및 제2 실시예에서는 기판의 관통 식각에 초점을 두고 자세히 도시화하여 설명하였지만, 3차원 MEMS 구조에서는 적층되는 각 개별 웨이퍼 기판마다 그 MEMS의 기능에 따라 다양한 구조를 갖도록 그 표면에 패턴들을 갖는다. 따라서, 각 개별 웨이퍼 기판은 상부면과 하부면이 동일한 패턴으로 관통되게 형성된 것도 있을 수 있으며, 웨이퍼 기판의 상부면과 하부면이 별개의 패턴을 가질 수도 있다. 예를 들어, 특정 웨이퍼의 상부면에만 먼저 얇은 리세스 영역들을 형성시키고, 별도의 식각공정에 의해 제1 실시예 또는 제2 실시예에서와 같은 기판 편통 식각을 이를 얇은 리세스 영역을 포함하거나 또는 포함하지 않는 영역에 적용하여 편통홀들을 형성시킬 수도 있다.

이러한 3차원 MEMS 구조에 대한 상세한 설명은 전술한 MIT에 귀속된 미합중국 특허 제5,932,940호에 상세히 기재되어 있으며, 그 구조들에 대한 개시 내용은 본 명세서의 일부로서 여기서 함께 인용한다.

한편, 전술한 실시예들에서는 기판의 일부분에 대하여만 도시하여 설명하였지만, 3차원 MEMS를 구성하는 각종의 하나의 웨이퍼에 대하여 여러개의 단위체를 접착시켜 웨이퍼 단위로 공정을 수행한 후, 각종에 해당하는 웨이퍼들을 직접 본딩한 후, 각 단위체 별로 절단하여 복수개의 3차원 MEMS를 형성할 수 있다.

본 발명에 따른 기판 편통 식각공정들이 수행된 3차원 MEMS를 구성하는 각종의 웨이퍼들은 전술한 SPM 세정액 및 미국 RCA사에 의해 개발된 RCA 세정액(NH₄OH : H₂O₂ : D.I water = 1 : 1 : 5)에 의해 충분히 세정시킨 후, 일라이너에 의해 프리본딩(pre-bonding) 시킨 후, 퍼니스에서 이닐링하여 접촉면에서 적진 본딩이 이루어지도록 하여 형성할 수 있다.

이상에서 설명한 본 발명의 기판 편통 식각방법은 다양한 형태의 3차원 MEMS, 예를 들어 마이크로 미러이레이 프로젝터(Micro Mirror Array Projector), 마이크로 액셀러로미터(Micro Accelerometer), 마이크로 사이로스코프(Micro Gyroscope), 타이어 압력센서 등의 자동차 시스템, LOC(Laboratory On Chip), DNA 칩 등에 다양하게 적용될 수 있으며, 마이크로 가스 터빈 엔진, 마이크로 터빈, 마이크로 콤버스터늄의 마이크로 파워 MEMS에 적용될 수 있다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 따르면, 열전도도 및 전기전도도가 낮은 기존의 헨들링 웨이퍼 대신에 금속물질을 사용함으로써 기판의 냉각을 효율적으로 수행할 수 있는 동시에 기판 관통시 플라즈마 이온 플러스가 이 금속물질을 통하여 원활히 순환될 수 있기 때문에 관통홀 주변의 기판의 패턴이 손상되지 않는 양호한 프로파일을 얻을 수 있었다.

또한, 본 발명에 따르면, 금속물질이 갖는 연성으로 인하여 식각공정시 기판 하부면으로 공급되는 헬륨 냉각가스의 압력을 적절히 원충시킬 수 있으니, 금속물질층에 의한 기판 손상을 벼파층을 개입시켜 방지할 수 있었다.

또한, 본 발명에 따르면, 알루미늄은 반도체 공정에서 상용화된 물질이기 때문에 그 증착 및 제거에 대한 기술은 용이하게 적용시킬 수 있으며, 공정시간도 단축되어 양산화에 유리하다.

(57) 청구의 범위

청구항 1.

기판의 제1 면 상에 벼파층을 형성하는 단계;

상기 벼파층 상에 금속층을 형성하는 단계;

상기 제1 면과 반대되는 상기 기판의 제2 면 상에 식각마스크 패턴을 형성하는 단계; 및

상기 식각마스크 패턴을 식각마스크로 하여 상기 기판을 관통 식각하는 단계를 포함하는 기판 관통 식각방법.

청구항 2.

제 1 항에 있어서, 상기 기판의 제1 면 상에 벼파층을 형성하는 단계 이전에, 상기 제1 면에 리세스영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 기판 관통 식각방법.

청구항 3.

제 1 항에 있어서, 상기 기판을 관통 식각하는 단계 이후에,

상기 식각마스크 패턴을 제거하는 단계;

상기 금속층을 제거하는 단계; 및

상기 벼파층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 기판 관통 식각방법.

청구항 4.

제 1 항에 있어서, 상기 기판은 신리콘 단결정 기판임을 특징으로 하는 기판 관통 식각방법.

청구항 5.

제 1 항에 있어서, 상기 벼파층은 이산화실리콘층임을 특징으로 하는 기판 관통 식각방법.

청구항 6.

제 1 항에 있어서, 상기 금속층은 알루미늄층임을 특징으로 하는 기판 관통 식각방법.

청구항 7.

제 1 항에 있어서, 상기 기판을 관통 식각하는 단계는 DRIE(Deep Reaction Ion Etching)법에 의해 수행되는 것을 특징으로 하는 기판 관통 식각방법.

청구항 8.

기판의 제1 면에 소정 깊이의 리세스영역을 형성하는 단계;

상기 리세스영역이 형성된 상기 기판의 제1 면 상에 제1 버퍼층을 형성하는 단계;

상기 제1 버퍼층 상에 제1 금속층을 형성하는 단계;

상기 제1 면과 반대되는 상기 기판의 제2 면 상에 상기 제1 면에 형성된 상기 리세스영역에 대응하는 영역의 적어도 일부를 개방하는 제1 식각마스크 패턴을 형성하는 단계;

상기 제1 식각마스크 패턴을 식각마스크로 하여 상기 기판을 편통 식각하는 단계를 포함하는 기판 편통 식각방법.

청구항 9.

제 8 항에 있어서, 상기 기판의 제1 면에 리세스영역을 형성하는 단계는,

상기 기판의 제1 면 상에 제2 식각마스크 패턴을 형성하는 단계;

상기 제2 식각마스크 패턴을 식각마스크로 하여 상기 기판의 일부를 식각하는 단계; 및

상기 제2 식각마스크 패턴을 제거하는 단계를 포함하는 것을 복정으로 하는 기판 편통 식각방법.

청구항 10.

제 9 항에 있어서, 상기 제2 식각마스크 패턴은 포토레지스트 패턴임을 복정으로 하는 기판 편통 식각방법.

청구항 11.

제 9 항에 있어서, 상기 제2 식각마스크 패턴은 제2 버퍼층 및 제2 금속층이 적층된 구조로 이루어진 것을 복정으로 하는 기판 편통 식각방법.

청구항 12.

제 8 항에 있어서, 상기 제1 식각마스크 패턴은 포토레지스트 패턴임을 복정으로 하는 기판 편통 식각방법.

청구항 13.

제 8 항에 있어서, 상기 제1 식각마스크 패턴은 제3 버퍼층 및 제3 금속층이 적층된 구조로 이루어진 것을 복정으로 하는 기판 편통 식각방법.

청구항 14.

제 8 항에 있어서, 상기 기판을 판통 식각하는 단계 이후에,

상기 판통 식각 단계에 의해 노출되는 상기 제1 버퍼층을 습식 제거하는 단계를 더 포함하는 것을 특징으로 하는 기판 판통 식각방법.

청구항 15.

제 12 항에 있어서, 상기 기판을 관통 식각하는 단계 이후에,

상기 포토레지스트 패턴으로 된 제1 식각마스크 패턴을 제거하는 단계;

상기 제1 금속층을 제거하는 단계; 및

상기 제1 버퍼층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 기판 관통 식각방법.

청구항 16.

제 13 항에 있어서, 상기 기판을 관통 식각하는 단계 이후에,

상기 제1 식각마스크 패턴의 제3 금속층 및 상기 제1 금속층을 제거하는 단계; 및

상기 제1 식각마스크 패턴의 제3 버퍼층 및 상기 제1 버퍼층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 기판 관통 식각방법.

청구항 17.

제 8 항에 있어서, 상기 기판은 실리콘 단결정 기판임을 특징으로 하는 기판 관통 식각방법.

청구항 18.

제 8 항, 제 11 항 또는 제 13 항 중의 어느 한 항에 있어서, 상기 버퍼층은 이산화실리콘층임을 특징으로 하는 기판 관통 식각방법.

청구항 19.

제 8 항, 제 11 항 또는 제 13 항 중의 어느 한 항에 있어서, 상기 금속층은 알루미늄층임을 특징으로 하는 기판 관통 식각방법.

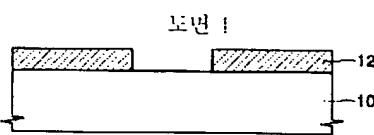
청구항 20.

제 8 항에 있어서, 상기 기판을 관통 식각하는 단계는 DRIE(Deep Reaction Ion Etching)법에 의해 수행되는 것을 특징으로 하는 기판 관통 식각방법.

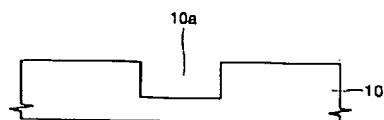
청구항 21.

제 8 항에 있어서, 상기 기판을 관통 식각하는 단계에서 관통되는 부분은 상기 리세스영역내에 포함되는 것을 특징으로 하는 기판 관통 식각방법.

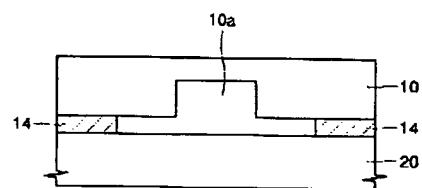
도면



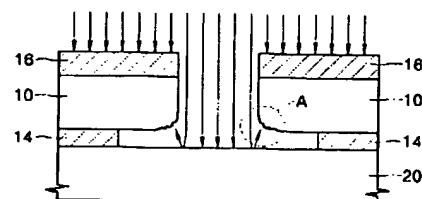
도면 2



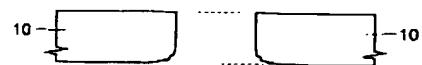
도면 3



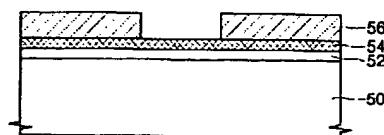
도면 4



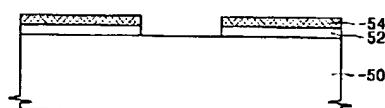
도면 5



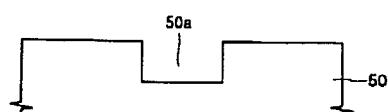
도면 6



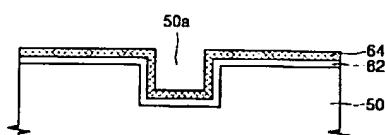
도면 7



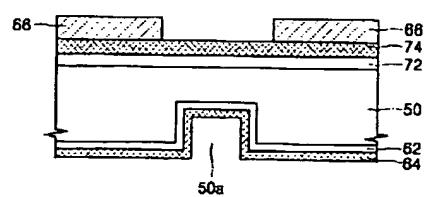
도면 8



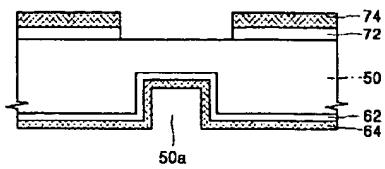
도면 9



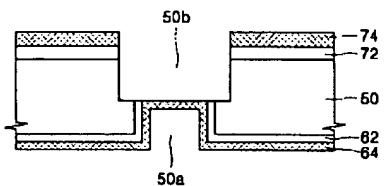
도면 10



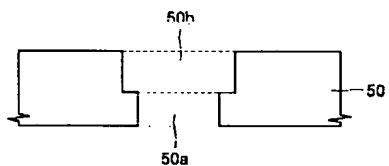
도면 11



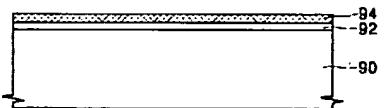
도면 12



도면 13



도면 14





US2002091834A1

Batch : N0420852

Date : 26/07/2004

Number of pages : 23

Previous document : KR2002041363A

Next document : FR 458363A